

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-37396

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

6866-5L

G 1 1 C 17/ 00

5 3 0 D

3 0 9 K

審査請求 未請求 請求項の数 2 O L (全 16 頁)

(21) 出願番号 特願平5-313548

(22) 出願日 平成5年(1993)12月14日

(31) 優先権主張番号 9 9 1 2 3 1

(32) 優先日 1992年12月15日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 ジョン エフ. シュレック

アメリカ合衆国テキサス州ヒューストン,
ムーンライト 10518

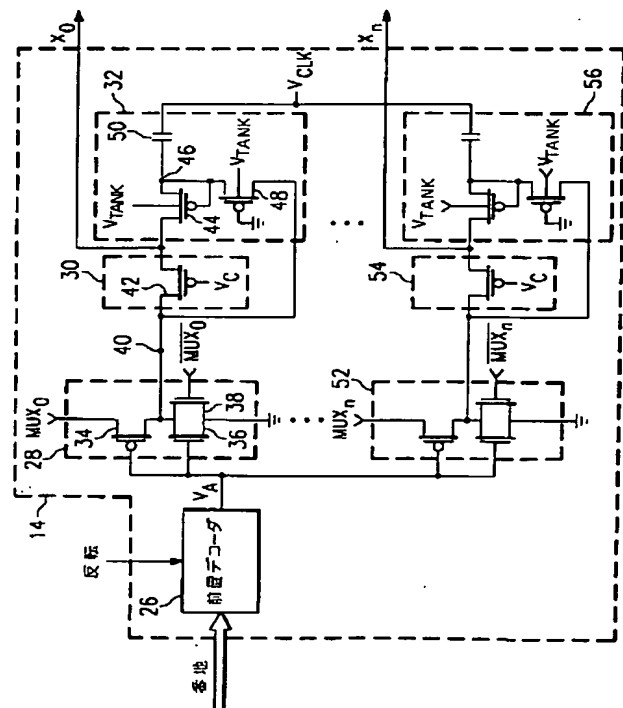
(74) 代理人 弁理士 浅村 皓 (外 3 名)

(54) 【発明の名称】 負電圧ワードラインデコード方法およびそれを採用したEEPROM

(57) 【要約】

【目的】 フラッシュ消去のために必要な高電圧大電流源を必要としない、負電圧ワードラインデコード方式のメモリアレイを得る。

【構成】 フラッシュEEPROM (10) において負電圧ワードラインデコードを行うための方法と装置が提供される。特に、前置デコーダ (26) が番地と反転入力とに基づいて前置デコード信号を生成し、この前置デコード信号が正電圧および負電圧の両デコードモードにおいてワードラインを選択するために使用される。各ワードラインは、それに付随して駆動器 (28) を有し、駆動器 (28) は受信した適切な前置デコード信号に応答して関連のワードラインを高レベルへ駆動する。ワードラインには、またそれらに付随して負チャージポンプ (32) が備えられており、各負チャージポンプ (32) は、駆動器 (28) がその関連ワードラインを正へ駆動していない時にそのワードラインを負へ駆動するように動作する。



1

【特許請求の範囲】

【請求項 1】 複数のメモリセルを含む、フラッシュ方式の、電氣的に消去可能で、プログラム可能な読み出し専用メモリであって：前記メモリセルへつながれた列デコーダー、

前記メモリセルへつながれた複数のワードライン、前記行デコーダーと前記列デコーダーとへつながれた読み出し／書き込み／消去回路であって、前記行デコーダー、前記列デコーダー、および前記読み出し／書き込み／消去回路が前記メモリセルを読み出し、書き込み、そして消去するように動作するようになった読み出し／書き込み／消去回路、および前記ワードラインを選択および非選択するように動作する行デコーダーであって：複数の駆動器回路であって、前記駆動器回路の各々がそれぞれ前記ワードラインの異なる 1 つへつながれて、前記駆動器回路が前記ワードラインを負でない電圧レベルへ駆動するように動作するようになった複数の駆動器回路、および複数の負チャージポンプであって、前記負チャージポンプの各々がそれぞれ前記ワードラインの異なる 1 つへつながれて、前記負チャージポンプが前記ワードラインの各々を独立して負電圧レベルへ駆動するように動作するようになった複数の負チャージポンプ、を含む行デコーダー、を含むメモリ。

【請求項 2】 複数のメモリセルを含む、フラッシュ方式の、電氣的に消去可能で、プログラム可能な読み出し専用メモリ中のワードラインをデコードする方法であって、次の工程：各々が異なるワードラインへつながれた複数の負チャージポンプ中において負電圧を発生させること、

前置デコーダー中において予めデコードされた前置デコード信号を発生させること、

前記前置デコード信号にตอบสนองして、各々が異なるワードラインへつながれた複数の駆動器回路中において非負の電圧を発生させること、および各ワードラインを、前記前置デコード信号にตอบสนองして、そのワードラインに対応する負チャージポンプからの負電圧、あるいはそのワードラインに対応する駆動器回路からの非負の電圧のいずれかへつなぐこと、を含む方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般的には、電氣的に消去可能で、プログラム可能な読み出し専用メモリ（EEPROM）装置に関するものであり、更に詳細には、EEPROMの負電圧ワードラインデコーディングのための方法と装置とに関するものである。

【0002】

【従来の技術】 単トランジスタメモリセル（あるいはビットとも呼ぶ）を採用し、プログラミングのためにホットキャリア注入を、消去のためにファウラー・ノルトハイムトンネリングを利用する、電氣的に消去可能

2

で、プログラム可能な読み出し専用メモリ（EEPROM）は広く用いられており、例えば、1985年IEDM（国際電子デバイス会議）の概要集、頁616-619に発表されたマクヒリー（Mukherjee）等による、“単トランジスタEEPROMビットおよびその512k CMOS EEPROMへの組み込み

（A Single Transistor EEPROM Bit and Its Implementation in a 512k CMOS EEPROM（s））”、および1989年ISSCC（国際固体回路会議）の予稿集、頁140-141に発表されたV. カイネット（Kynett）等による、“90ナノ秒100k消去／プログラム・サイクルのメガビットフラッシュメモリ（A 90ns 100K Erase/Program Cycle Megabit Flash Memory）”に述べられている。

【0003】このようなEEPROMは、1個の特定のメモリビットのドレインと制御ゲートへ高電圧を印加し、その間にそのメモリビットのソースをアースに保ちつつ浮遊ゲートへホット電子を注入することによってプログラムされる。例えば、ドレインプログラム電圧 V_{dp} は6.5ボルト以下に保たれ、その間制御ゲートプログラム電圧 V_{cgp} は12ボルトに保たれる。消去は、ドレインを浮かせたままで、制御ゲートとソースとの間に比較的高い電圧を供給することによって実行される。典型的なEEPROMにおいて、消去は、制御ゲート電圧を $V_{cge}=0$ ボルトに保ち、ソースを $V_{se}=12$ ボルトに持ち上げることによって行われる。フラッシュEEPROMでは、メモリセルはセクターに分割される。各セクター内で、そのメモリセルすべてのソースが共通の1つのノードへつながれる。従って、典型的なフラッシュEEPROMでの消去は、セクター単位でセクター毎に行われる。

【0004】フラッシュEEPROM中のメモリセルはN形の金属酸化物半導体電界効果トランジスタである。従って、P形基板中にN形のドレインおよびソースが打ち込まれる。上述のような標準的な消去では、ソースが典型的にゼロボルトに保たれるので、ソースから基板への降伏のために、ソースから基板への電流は比較的大きいものとなり得る。特定のセクター内のメモリセルすべてが同時に消去されることから、この基板電流の大きさは特定にセクター中のメモリセルの数が増大するにつれて増大する。例えば1メガバイト・フラッシュEEPROM中で10ミリアンペアにも達するこの大きな電流のために、フラッシュ消去のために必要な高電圧で十分な電流を発生させるために外部電源が必要となる。そのような電源が必要とされるということは望ましいことではなく、従ってそのようなものが必要とされないフラッシュEEPROMが望ましい。

【0005】上述の基板電流問題を回避するために、制

3

御ゲートをソース電圧に対して負に引き下げることによって消去を行うフラッシュEEPROMが提案されている。例えば、ソースをゼロボルトに保ち、その間に制御ゲートを負の16ボルトに下げる。基板もまたゼロボルトにあるため、基板電流問題は回避される。別の例では制御ゲートを負の11ボルトに引き下げ、ソースを5ボルトに持ち上げ、ドレインを浮かせる。これによって正の12ボルトの電源は不要となる。そのような回路は、単一のワードラインまで下った消去の可能性を提供する。しかし、これらの負電圧を許容する回路で以て数多くのワードラインを効率的にデコードすることは、プロセスを複雑化する三重井戸プロセスを使用することなしにはできなかった。

【0006】従って、負電圧ワードラインデコードを許容し、単一のワードラインまでワードラインデコードを許容できるフラッシュEEPROMに対する需要が生まれる。

【0007】

【発明の概要】本発明に従えば、従来のEEPROMに付随する欠点や問題点を本質的に解消または低減する、負電圧ワードラインデコードのための方法と装置とが提供される。

【0008】特に、複数のメモリセルを含む、フラッシュ方式の、電気的に消去可能で、プログラム可能な読み出し専用メモリが提供される。メモリセルの各々に対して列デコーダーがつながれ、メモリセルの各々はまた複数のワードラインへもつながれる。読み出し／書き込み／消去の回路が行デコーダーと列デコーダーへとつながれ、行デコーダー、列デコーダーおよび読み出し／書き込み／消去の回路はそれらのメモリセルを読み出し、プログラムし、そして消去するように動作する。行デコーダーはワードラインを選択(select)および非選択(de-select)するように動作し、複数の駆動器回路を含んでいる。駆動器回路の各々はそれぞれワードラインの異なる1つへつながれ、駆動器回路はそのワードラインを負でない電圧レベルへ駆動するように動作する。行デコーダーはまた複数の負のチャージポンプを含む。負チャージポンプの各々はそれぞれワードラインの異なる1つへつながれ、それら負チャージポンプはワードラインの各々を、独立して負電圧レベルへ駆動するように動作する。

【0009】別の実施例では、複数の負チャージポンプが備えられ、それら負チャージポンプがそれぞれ異なる1つのワードライン群へつながれている。こうして、負チャージポンプはそれぞれの群のワードラインの各々を他の群とは独立的に負電圧レベルへ駆動するように動作する。

【0010】本発明の重要な技術的特長の1つは、フラッシュEEPROM中の単一のワードラインが負電圧デコードできることであり、従って任意の特定のワードラ

4

イン上のメモリセルの消去を許容するということである。

【0011】本発明の重要な技術的特長の別の1つは、単一のワードライン、またはワードライン群が、比較的少数の部品で以て負電圧デコードできるということである。更に、それらの少数の部品は相補型金属酸化物半導体(CMOS)技術等の標準的な技術で作製できる。

【0012】本発明の重要な技術的特長の別の1つは、12ボルト電源のような高電圧電源がEEPROMチップの外部に必要とされず、従ってシステムの価格と複雑度が低減化されることである。

【0013】本発明およびその利点をより完全に理解するために、以下に図面を参照しながら詳細に説明する。

【0014】

【実施例】本発明の好適実施例およびその特長は、図1ないし図12を参照することによって最も良く理解できる。各図面において同様な部品および対応する部品には同じ符号が付されている。

【0015】図1は、フラッシュEEPROM10のブロック図および模式回路図を示す。図示のように、列デコーダー12およびワードラインデコーダー14(行デコーダーとも呼ぶ)が読み出し／書き込み／消去回路16へつながれている。列デコーダー12およびワードラインデコーダー14は番地情報を受け取り、アレイ中の各種メモリセルへアクセスする。これらのメモリセルは、読み出し／書き込み／消去回路16からの制御信号に依存して、読み出されたり、プログラムされたり(書き込まれたり)、あるいは消去されたりする。

【0016】列デコーダー12は Y_0 、 Y_1 ・・・ Y_n と記された数本のビットラインを制御する。同様に、ワードラインデコーダー14は X_0 、 X_1 ・・・ X_n と記された数本のワードラインを制御する。これらのビットラインはメモリビットトランジスタのドレインへつながれる。これらのワードラインはメモリセルトランジスタの制御ゲートへつながれる。例えば、メモリセルトランジスタ18はその制御ゲートをワードライン X_0 へつながれ、そのドレインをビットライン Y_0 へつながれる。同様に、メモリセル20はその制御ゲートをワードライン X_n へつながれ、そのドレインをビットライン Y_n へつながれる。メモリセルトランジスタの状態はセンスアンプ22によって読み出される。特定のビットライン上のメモリセルの状態は、そのビットラインに付随するパスゲートトランジスタ24を通して読み出される。

【0017】フラッシュEEPROMでは、特定のセクター内のメモリセルトランジスタのすべてのソースは1つの共通ノードへつながれる。図1は特定の1つのセクター中のメモリセルトランジスタ・アレイを示す。EEPROM10が他のセクター中に同様なアレイを含

5

んでおり、列デコーダー 12 およびワードラインデコーダー 14 へつながれていることは分かるであろう。更に、他のセクター中のトランジスタアレイは他のセクターから物理的に分離されており、あるいはそれらはワードラインまたはビットラインを他のセクターと共有することによって電気的に関連づけられている。

【0018】図 2 は、本発明の教えるところから従う負電圧ワードラインデコードのための、ワードラインデコーダー 14 内に含まれる回路の特定実施例を示す。番地信号が前置デコーダー 26 によって受け取られる。前置デコーダー 26 はまた、読み出し／書き込み／消去回路 16 から反転信号を受け取る。この反転信号は、前置デコーダー 26 がワードライン X_0 ないし X_n の負電圧または正電圧のいずれのデコードを実行するかを制御する。負電圧デコードでは、ワードラインは例えば消去機能のために負となることができる。正電圧デコードでは、ワードラインは例えばプログラム機能または読み出し機能のために正となることができる。

【0019】図 2 に示された特定実施例の回路について、ワードライン X_0 を取り上げて説明する。各々のワードラインには同様な回路がつながれていることは理解されるであろう。駆動器 28 は前置デコーダー 26 へつながれている。前置デコーダー 26 は駆動器 28 へ予めデコードされた前置デコード信号 V_A を出力する。前置デコード信号 V_A は多重化信号 $mux_0 - mux_n$ とともに、各ワードラインの選択および非選択を許容する。ここで、各 mux 信号は各ワードラインに対応する適正な駆動器へつながれている。例えば、 mux_0 はワードライン X_0 の駆動器 28 へつながれている。駆動器 28 は分離装置 30 を介してワードライン X_0 へつながれている。分離装置 30 およびワードライン X_0 はまた負チャージポンプ 32 へつながれている。最後に、負チャージポンプ 32 はクロック信号 V_{clk} へつながれている。

【0020】動作時には、負チャージポンプの各々は、負電圧デコードの間にそれらの各ワードラインを負にポンピングしようとする。ワードラインは、それらのワードラインを必要に応じて充電する駆動器および分離装置の働きによって負になるのを妨げられる。このように、負電圧ワードラインデコードを提供する反転信号とともに、それぞれのワードラインの充電または負電圧へのポンピングを許容する分離装置の働きによって、ワードラインは、もし選択されれば負に、また非選択であれば正となる。同様に、正電圧デコードを提供する反転信号でいて、ワードラインは、もし選択されれば正に、非選択であればゼロとなる。それは負チャージポンプは正電圧デコードモードにおいて正電圧にポンピングすることがないからである。一例として、負のワードラインデコードは消去モードで使用できる。すなわち、消去モードにおいて、反転信号が前置デコーダー 26 を負のワードラインデコードモードに制御する。前置デコーダー 26 は

6

mux_i 信号とともに、そしてそれへ供給される番地に基づいて、正と負の両デコードモードにおいて適当なワードラインを非選択または選択する。

【0021】以前の負のワードラインデコード方式では、単一のワードラインにまで下ってデコードを行うことは、三重井戸プロセスのような複雑な技術を使用することなしには不可能であった。本発明では、すべて標準的な技術で作製できる比較的少数の装置でいて単一ワードラインでの負電圧デコードが提供できる。単一ワードライン負電圧デコードは、ワードラインを分離する能力を有するその負チャージポンプによって各ワードラインが他のワードラインから分離されているために可能となる。更に、ここに開示される回路は標準的な CMOS 技術を用いて作製することができる。

【0022】図 2 はまた、本発明に従う負電圧ワードラインデコードのための回路の特定の実施例を示す。図示のように、駆動器 28 は CMOS 技術を用いて作製され、信号 mux_0 へつながれた P チャネルトランジスタ 34 を含む。 mux_0 は前置デコード信号 V_A とともに、ワードラインの選択または非選択を許容する。トランジスタ 34 は N チャネルトランジスタ 36 および 38 を通してアースへつながれる。トランジスタ 36 はそのゲートを前置デコード信号 V_A へつながれている。トランジスタ 38 のゲートは mux_0 (バー) へつながれている。トランジスタ 34 はノード 40 を通してトランジスタ 36 および 38 へつながれる。

【0023】ノード 40 はまた、特定の実施例ではトランジスタ 42 を含む分離装置 30 へつながれている。トランジスタ 42 のゲートは予め選択された制御電圧 V_c へつながれている。分離装置 30 は、ノード 40 の電圧と V_c の電圧とに依存して、ワードライン X_0 が駆動器 28 から正に充電されるか、または負チャージポンプから負に充電されるかのいずれかを許容する。

【0024】負電圧ワードラインデコードモードでは、 X_0 はもしそれが非選択であれば非負でなければならない。これを実現するために、特定実施例ではトランジスタ 42 であるところの分離装置 30 が導通すべきであり、それによってノード 40 上の電圧をワードライン X_0 へつなげなければならない。トランジスタ 42 は、もしノード 40 の電圧が V_c の電圧よりもトランジスタ 42 の電圧しきい値以上大きければ、導通する。そして、負電圧ワードラインデコードのためには、もし V_A が低レベルで mux_0 が高レベルであれば、図 2 に示された駆動器 28 によって X_0 は非選択になる。この結果、トランジスタ 36 と 38 はオフ状態になり、トランジスタ 34 はオンで、 mux_0 の電圧がノード 40 へつながれる。 V_c もまたわずかに負となってトランジスタ 42 の導通を確実なものとする。

【0025】負電圧ワードラインデコードモードでは、

7

ワードライン X_0 はそれが負になることで選択されることになる。このことは、分離装置 30 が導通しないことを保証することで実現する。分離装置 30 がトランジスタ 42 を含むような特定の実施例では、もしノード 40 の電圧が V_c よりもトランジスタ 42 の電圧しきい値以上高くなければそれは導通しない。このように、 V_c がアースであって、もしノード 40 もアースであれば分離装置 30 は導通せず、 X_0 は負へ移行する。このことは図 2 に示された駆動器 28 の特定の実施例において、 V_A が高レベルあるいは mux_0 が低レベル（アース電位）で、 X_0 が負チャージポンプ 32 によって負にポンピングされることによって実現する。更に、 V_c はトランジスタ 42 を通しての導通を阻止するために正となることができる。

正電圧デコード

	選択	V_A による非選択	mux_i による非選択
mux_i	高レベル	X	低レベル
V_A	低レベル	高レベル	X
分離装置 30	導通	導通	導通
V_c	-4 V	-4 V	-4 V

【0028】

負電圧デコード

	非選択	V_A による選択	mux_i による選択
mux_i	高レベル	X	低レベル
V_A	低レベル	高レベル	X
分離装置 30	導通	非導通	非導通
V_c	0	0	0

【0029】 上述のように、前置デコード信号 V_A および mux_i 信号を使用することによってワードライン X_i の単一ワードライン負電圧デコードが実現できる。図示の特定実施例では、そのワードラインの mux_i 信号を宣言することによって単一ワードライン X_i を選択することができる。上記の表が示すように、負電圧デコードのための mux_i および V_A 信号は正電圧デコードのそれらを反転させたものとなっている。反転信号は前置デコーダ 26 へ入力され、適切な V_A を出力させる。同様に、 mux_i 信号が適宜反転され、負電圧および正電圧の両デコードのために適切に用いられる。

8

【0026】 正電圧デコードモードでは、動作は負電圧デコードモードのそれと類似しているが、ワードラインが正電圧で選択され、ゼロボルトで非選択される点が変わっている。図 2 に示された実施例では、正電圧は mux_i 信号を介して結合され、そのためこれらの信号は、例えばプログラムや読み出しの動作に依存して各種の異なる電圧レベルを有する。この明細書を通して、“高レベル”という用語は約 5 ないし 15 ボルトに等しい電圧を意味し、また“低レベル”という用語は約ゼロボルトの電圧を意味することを理解されたい。次の 2 つの表は正電圧および負電圧のデコードに関する制御電圧を示す。 X は高レベルまたは低レベルを表す。

【0027】

【表 1】

【表 2】

【0030】 図 2 はまた、負チャージポンプ 32 のための特定実施例を示している。特定の実施例では、負チャージポンプ 32 は X_0 とノード 46 との間につながれたトランジスタ 44 を含む。トランジスタ 44 のゲートはノード 46 へつながれている。こうして、トランジスタ 44 はダイオードとしてつながれている。トランジスタ 44 の基板は電圧 V_{TANK} へつながれている。トランジスタ 48 がまたノード 46 とアースとの間につながれている。トランジスタ 48 のゲートはアースへつながれている。ノード 46 はコンデンサ 50 を介してクロック信号 V_{clk} へつながれている。

9

【0031】信号 V_{clk} はクロック信号であり、その大きさは、望みの負ワードライン電圧にPチャンネルしきい値（トランジスタ44と48に対応する）2つ分を加え、更に一定値を加えたものに等しい。負の12ボルトという望ましい負ワードライン電圧の場合、特定の実施例での V_{clk} の大きさは18ボルトである。このように、 V_{clk} は、例えば、ゼロないし18ボルト、あるいは負の18ボルトないしゼロボルトを取ることができる。

【0032】図2に示された実施例では、下記のように、分離装置30が非導通状態で、負チャージポンプ32はワードライン X_0 を負へ引き下げるように動作する。 V_{clk} は負電圧デコードの間のみ活動的であり、従って負チャージポンプ32（および他のワードラインに付随するその他のチャージポンプ）はこの負電圧デコードの間のみワードライン X_0 を負にポンピングすることができる。最初、トランジスタ48はノード46を、ほぼアース電圧にPチャンネル電圧しきい値を加えた電位へつなぐ。 V_{clk} が18ボルトにおいて、コンデンサ50の両端に電圧が現れる。 V_{clk} がゼロボルトへ切り替わって低下すると、トランジスタ48が導通して

いないため、コンデンサ50両端間の電圧は保持される。こうして、ノード46は負へ引き下げられる。このノード46上の負電圧は次にワードライン X_0 上の電圧を引き下げる。コンデンサは直流電流を通過させないので、コンデンサ50は各ワードラインを他のワードラインから分離するという重要な役割も有している。

【0033】各ワードラインには、 X_0 に関連して記述したのと同様な回路をつながれている。すなわち、例えばワードライン X_n もまた、駆動器52、分離装置54、および負チャージポンプ56を有している。駆動器52は前置デコード信号 V_A 、 μx_n 、および μx_n （バー）へつながれている。 μx_n は各種電圧レベルを駆動器52へつないでおり、番地信号から取り出される。前置デコード信号 V_A とともに、 μx_n はワードライン X_n の選択または非選択を許容する。

【0034】 V_{TANK} は、ワードラインが負へ選ばれた場合、ワードラインと V_{TANK} との間の降伏を最小にするためにできるだけ低い電圧であるべきである。更に、ワードラインが正になるのを許容するために、 V_{TANK} はまたその同じ正の電圧に等しいかそれ以上でなければならない。非選択のワードライン電圧が取りうる最低の電圧は V_0 にPチャンネル電圧しきい値を加えたものである。で、 V_{TANK} はPチャンネル電圧しきい値のすぐ上に設定されるべきである。これはワードラインが非選択の時に、ノード40上の電圧がトランジスタ42を通過することができるようにするためである。更に、図2に示されたように、ワードライン X_0 上に現れうる最大電圧は、トランジスタ46および48を通しての導通状態のために、Pチャンネル電圧しきい値の2倍である。

10

【0035】図3は負チャージポンプ32の別の実施例を示す。図2に示されたように、トランジスタ48はノード46と V_{clamp} との間につながれている。更に、トランジスタ48のゲートは V_{clamp} へつながれている。この実施例において、 V_{clamp} はそのワードラインに対する各種の正の非選択電圧レベルを許容するように調節される。この回路実施例において、そして V_{clamp} が正において、図2に示された実施例によって得られるのと同じワードライン X_0 上の最終的な負電圧を実現するためには、 V_{clk} の大きさはより大きくなければならないであろう。 V_{clamp} は V_{clamp} が増大する場合に、 V_{clk} を高くなりすぎないように保つように変調できる。例えば、 V_{clamp} は負電圧デコードの間にゼロボルトに変調することができ、それによって V_{clk} はワードライン上の適正な負電圧を達成するために、その大きさを増大させる必要がなくなる。

【0036】図4は、本発明の教えるところに従う負チャージポンプの別の実施例を示す。図4に示された実施例は図3に示されたのと類似しているが、ノード46とトランジスタ48との間にトランジスタ58が追加されている。トランジスタ58のゲートは電圧源 V_{mx} へつながれている。トランジスタ58はトランジスタ48の両端間に見られる最大負電圧を低減化し、トランジスタ48両端間のフィールドプレート降伏またはゲート付きダイオードの降伏問題を回避する。トランジスタ58がなければ、ノード46上の電圧と V_{clamp} との電圧差は十分大きくなってトランジスタ48のフィールドプレート降伏電圧を越える。

【0037】図5は、本発明の教えるところに従う負チャージポンプ32の別の実施例を示す。図5に示された回路は図2に示されたのと同じ回路を備えているが、トランジスタ48はノード46とアースとの間につながれる代わりにノード46とノード40との間につながれている。同じことが他の、例えばワードライン X_n に付随する負チャージポンプ56等の負チャージポンプの回路についても言える。この実施例において、ノード40の電圧がトランジスタ48のソースへ供給される。こうして、負電圧デコードモードにおいて、トランジスタ48のソースは、もしワードライン X_0 が選択されれば、アースへ引き下げられる。もしワードライン X_0 が非選択であれば、ノード40は μx_0 上の電圧にほとんど等しい。この電圧はトランジスタ48のソース上にあり、またワードライン X_0 上にあるので、ワードライン X_0 とトランジスタ48との間には、それらの間に電位差がないため電流経路は存在しない。このようにして電力節約ができる。更に、図4に示されたトランジスタ58は図5に示されたトランジスタ46と48との間につながれて、トランジスタ48に関するフィールドプレートの降伏問題の可能性を低減化する。

【0038】いくつかの応用においては、各ワードライ

11

ンに個別的な負電圧ワードラインデコードは必要でない。そのような応用では、ワードライン群が一緒に負になることを許容されれば、回路の配置上で利点がある。

【0039】図6は本発明の1つの実施例を示し、そこにおいては1群のワードライン、 X_0 から X_n が一緒に負になることを許容される。ワードラインの各群はそれ自身の V_A 信号によって制御され、その V_A 信号はワードラインのそれぞれの群に対する専用の前置デコーダーによって生成される。専用の前置デコーダーはすべて、いくつかの前置デコード出力を備える単一の前置デコーダーとして考えることもできる。図6に示されたように、 V_{clk} は1つの負チャージポンプだけへ直接つながれている。こうして、 n 個のワードラインすべてに対して1つのコンデンサ50だけが必要とされる。更に n 個のワードラインすべてに対して1つのトランジスタ48だけが必要となる。1つの群のなかのワードラインはすべて、ノード46が負へ引き下げられる時に負へ引き下げられる。ワードラインの各群はそれ自身のための負チャージポンプを有している。この場合、 $mu x_i$ 信号はすべて高レベルで、 V_A がワードラインを選択および非選択する唯一の信号である。

【0040】図7は、ワードライン群が一緒に負となるようになった別の実施例を示す。図7は図3に示されたのと類似の回路を含んでおり、そこにおいてはトランジスタ48のゲートとソースとが電圧源 V_{clamp} へつながれている。更に、ノード46が、トランジスタ44iを介してその群の他のワードラインの各々へつながれている。例えば、図7に示されたように、ノード46はトランジスタ44nを介してワードライン X_n へつながれている。

【0041】図4に示されたように、トランジスタ48の両端間のフィールドプレート降伏状態を同じように低減化するために、図5、図6、および図7に示す実施例にトランジスタ58を含めることができる。

【0042】既に議論したように、ワードラインを正へ駆動するために駆動器28が用いられる。図2に関連して述べた駆動器28の特定の実施例は、使用し得る1つの例でしかない。ここに意図する本発明の範囲から外れることなしに、その他の実施例を使用することも可能である。図8および図9は、その他のワードラインの各々に対して駆動器28または駆動器群として使用できる特定の駆動器の例を提示している。図8に示されたように、駆動器28は V_A とノード61との間につながれたトランジスタ60を含むことができる。トランジスタ60のゲートは $mu x_i$ へつながれている。トランジスタ62が、5ボルトであろう V_{cc} とノード61との間につながれている。トランジスタ62のゲートは $mu x_i$ (バー) へつながれている。トランジスタ64が V_{HV} とノード61との間につながれている。トランジスタ64のゲートはノード40へつながれている。更

12

にトランジスタ66と68が V_{HV} とアースとの間につながれている。トランジスタ66および68のゲートはノード61へつながれている。更に、図示のように、トランジスタ66および68はノード40へもつながれている。 V_{HV} は通常は5ボルトであるが、書き込み動作の間は12ボルトとなる。

【0043】既述のように、ノード40が高レベルであれば、その適切なワードラインは負になることができない。ノード40が高レベルになるためには、ノード61が低レベルでなければならず、これは V_A が低レベルで、 $mu x_i$ が高レベルの時に発生する。1つのワードラインが負になるのを許容されるためには、ノード40は低レベルでなければならず、従ってノード61は高レベルでなければならない。もし V_A が高レベルであるか、あるいは $mu x_i$ が低レベルであれば、ノード61は高レベルになる。

【0044】図9は、本発明の教えるところに従う駆動器28の別の実施例を示す。図9に示されたように、 V_A とノード71との間にトランジスタ70がつけられている。トランジスタ70のゲートは $mu x_i$ へつながれている。トランジスタ72がまた V_{HV} とノード71との間につながれている。トランジスタ72のゲートは通常はアース電位である制御信号へつながれている。トランジスタ74と76がまた V_{HV} とアースとの間につながれ、それらのゲートはノード71へつながれている。トランジスタ74および76もまた図示のように、ノード40へつながれている。

【0045】 V_A が低レベルで $mu x_i$ が高レベルであれば、ノード71は低レベルとなり、その結果ノード40は高レベルになる。 V_A が高レベルかあるいは $mu x_i$ が低レベルであれば、その結果、ノード40は低レベルとなろう。

【0046】図面全体を通して、部品は従来の表記法に従って描かれている。すなわち、例えば、トランジスタ34はPチャンネルの金属酸化物半導体電界効果トランジスタである。同様に、トランジスタ36はNチャンネル金属酸化物電界効果トランジスタである。

【0047】図10は、本発明の教えるところに従って構築された別の駆動器を示す。図10に示されたような駆動器28は $mu x_i$ とアースとの間につながれた2つのトランジスタ78と80を含んでいる。これらの2つのトランジスタはいずれもPチャンネルトランジスタであり、トランジスタ78のゲートは V_A へつながれている。トランジスタ80のゲートは固定された電圧 V_N へつながれている。更に、トランジスタ78と80はノード81へつながれている。図10に示されたように、ノード81は駆動器28に付随するワードライン、例えばワードライン X_i へつながれている。ノード81はまた図2ないし図7に示されたような負チャージポンプ回路の任意のものへつながれる。

【0048】図10に示された駆動器は、図2に示された分離装置30を不要にするという特長を有する。こうして、図10に示された駆動器28を使用することは進歩した配置面積という利点を提供する。別の特長は前置デコード段の後にNチャンネルトランジスタが必要とされないということである。これによって配置中でのタンク干渉が低減化され、デコードされたワードラインが負になった時に順バイアスされるであろうN+接合がなくなる。別の特長は、図10の駆動器28が以前の負電圧が可能なデコーダーよりも高速の、低レベルから高レベルへの電圧遷移を許容するということである。

【0049】動作時に、正電圧デコードモードでは、 V_A が低レベルで $m u x_i$ が高レベルの時、そのワードラインは選択される。 V_N は負の直流信号で、それはワードラインが非選択の時にそれを引き下げる。ワードラインは、 V_A が高レベルで $m u x_i$ が低レベルの時に非選択となる。 V_N は固定された負電圧かまたはクロック信号で、それは周期的もしくはサイクルの最初で高レベル状態から負の状態へ遷移する。 V_N はまた、高レベルから低レベルへの遷移時間を改善するために、トランジスタ80が高インピーダンス状態からより低インピーダンス状態へ移行することを引き起こすレベルからのクロックであることもできる。

【0050】負電圧デコードモードでは、ワードラインは V_A が高レベルであるか $m u x_i$ が低レベルである時に選択される。ワードラインは V_A が低レベルで $m u x_i$ が高レベルであるときに非選択となる。

【0051】図11は、図10に関連して説明したのと同じ特長を提供するデコーダー28の別の実施例を示す。図11に示されたように、 V_A とアースとの間に2個のPチャンネルトランジスタ82と84が接続されている。トランジスタ82のゲートは $m u x_i$ (バー) へつながれ、トランジスタ84のゲートは V_N へつながれている。

【0052】正電圧デコードモードでは、選択されたワードラインに対して V_A は高レベルで、 $m u x_i$ (バー) は低レベルである。正電圧デコードモードでは、非選択のワードラインに対して、 V_A は低レベル、 $m u x_i$ (バー) は高レベルである。負電圧デコードモードでは、選択されたワードラインに対して V_A が低レベル、 $m u x_i$ (バー) が高レベルである。負電圧デコードモードの非選択ワードラインに対しては、 V_A が高レベル、 $m u x_i$ (バー) が低レベルである。

【0053】正電圧デコードモードでは、 V_N は非選択ワードライン電圧よりも少なくともPチャンネル電圧しきい値1個分低くあるべきである。こうして、図10および図11に示されたワードライン X_i はアースへ引き下げられる。 V_N が更に負になれば、それだけ速くワードライン X_i はアースへ引き下げられる。

【0054】EEPROMまたはフラッシュEEPROM

Mをプログラムするためには、図10および図11に示されたトランジスタ78と82を介して $m u x_i$ 入力から高電圧が供給される。これらの高電圧モードにおいては、図10および図11に示されたトランジスタ80と84はより導通性が低くなる。従って、トランジスタ80および84を通しての低い導電性を確立するために、プロセスパラメータを変化させてよりアース電位に近い比較的一定したレベルを保つように V_N を何らかの与えられた値にクランプすることが望ましいかもしれない。図12はそのような実施例を示す。図示のように、 V_N は負チャージポンプ86によって生成される。 V_N は、図12に示されたようにつながれたトランジスタ88と90によってクランプされる。

【0055】本発明とそれの利点とについて詳細に説明してきたが、本発明の特許請求の範囲によって定義される本発明の範囲から外れることなしに各種の変更や置換、および修正が可能であることを理解されたい。

【0056】以上の説明に関して更に以下の項を開示する。

- (1) 複数のメモリセルを含む、フラッシュ方式の、電氣的に消去可能で、プログラム可能な読み出し専用メモリであって：前記メモリセルへつながれた列デコーダー、前記メモリセルへつながれた複数のワードライン、前記行デコーダーと前記列デコーダーとへつながれた読み出し／書き込み／消去回路であって、前記行デコーダー、前記列デコーダー、および前記読み出し／書き込み／消去回路が前記メモリセルを読み出し、書き込み、そして消去するように動作するようになった読み出し／書き込み／消去回路、および前記ワードラインを選択および非選択するように動作する行デコーダーであって：複数の駆動器回路であって、前記駆動器回路の各々がそれぞれ前記ワードラインの異なる1つへつながれて、前記駆動器回路が前記ワードラインを負でない電圧レベルへ駆動するように動作するようになった複数の駆動器回路、および複数の負チャージポンプであって、前記負チャージポンプの各々がそれぞれ前記ワードラインの異なる1つへつながれて、前記負チャージポンプが前記ワードラインの各々を独立して負電圧レベルへ駆動するように動作するようになった複数の負チャージポンプ、を含む行デコーダー、を含むメモリ。

【0057】(2) 第1項記載のメモリであって、更に、複数の多重化信号であって、前記多重化信号の各々がそれぞれ前記駆動器の異なる1個へつながれた複数の多重化信号を含み、そこにおいて：前記行デコーダーが更に、前置デコード信号を発生するように動作する前置デコーダーを含み、そして前記駆動器回路の各々が：第1のゲート、第1のソース、および第1のドレインを有する第1のPチャンネルトランジスタであって、前記第1のゲートと前記第1のソースとが前記多重化信号と前置デコード信号の前記各1つへつながれて、

前記第 1 のドレインが前記各ワードラインへつながれた第 1 の P チャンネルトランジスタ、および第 2 のゲート、第 2 のソース、および第 2 のドレインを有する第 2 の P チャンネルトランジスタであって、前記第 2 のドレインが前記各ワードラインへつながれ、前記第 2 のゲートが電圧源へつながれた第 2 の P チャンネルトランジスタ、を含んでおり、それによって、前記ワードラインが前記前置デコードおよび多重化信号にตอบสนองして、前記負チャージポンプによって負へ、また前記駆動器回路によって非負へ駆動されるようになった、メモリ。

【0058】(3) 第 1 項記載のメモリであって、前記行デコーダーが更に、複数の分離装置であって、前記分離装置の各々がそれぞれ異なる駆動器回路と異なるワードラインとの間につながれ、前記分離装置の各々が各ワードラインをそれぞれ対応する駆動器回路から分離するように動作し、それによって各ワードラインが独立して負電圧レベルへ駆動されるようになった複数の分離装置を含んでいるメモリ。

【0059】(4) 第 3 項記載のメモリであって、更に、複数の多重化信号であって、前記多重化信号の各々がそれぞれ前記駆動器の異なる 1 個へつながれた複数の多重化信号を含み、そこにおいて：前記行デコーダーが更に、前置デコード信号を生成するように動作する前置デコーダーを含んでおり、また前記駆動器回路が前記前置デコード多重化信号にตอบสนองして高レベルおよび低レベル出力を発生するように動作するようになっており、更に前記分離装置がそれぞれのワードラインを、各駆動器が低レベル出力を発生する時に前記各駆動器から分離するように動作するようになっている、メモリ。

【0060】(5) 第 4 項記載のメモリであって、前記分離装置の各々がゲートを有するトランジスタを含み、前記ゲートが制御電圧へつながれているメモリ。

【0061】(6) 第 1 項記載のメモリであって、更にクロック信号を含み、そこにおいて前記負チャージポンプの各々が前記クロック信号へつながれた異なるコンデンサを含み、それによって前記コンデンサ間での電荷共有効果によって負電圧が生成されるようになっており、前記ワードラインの各々が各負チャージポンプの前記コンデンサによって他のワードラインから分離されるようになった、メモリ。

【0062】(7) 第 6 項記載のメモリであって、前記負チャージポンプの各々が更に：前記各コンデンサと前記各ワードラインとの間につながれた第 1 のトランジスタ、および前記各コンデンサとアースとの間につながれた第 2 のトランジスタ、を含んでいる、メモリ。

【0063】(8) 第 6 項記載のメモリであって、前記負チャージポンプの各々が更に：前記各コンデンサと前記各ワードラインとの間につながれた第 1 のトランジスタ、クランプ電圧源、および前記各コンデンサと

前記クランプ電圧源との間につながれた第 2 のトランジスタ、を含んでいる、メモリ。

【0064】(9) 第 8 項記載のメモリであって、前記負チャージポンプの各々が更に、前記各コンデンサと前記第 2 のトランジスタとの間につながれた第 3 のトランジスタであって、前記第 2 のトランジスタ両端間の電圧を低減するように動作する第 3 のトランジスタを含んでいる、メモリ。

10 【0065】(10) 第 6 項記載のメモリであって、前記負チャージポンプの各々が更に：前記各コンデンサと前記各ワードラインとの間につながれた第 1 のトランジスタ、および前記各コンデンサと前記駆動器回路との間につながれた第 2 のトランジスタ、を含んでいる、メモリ。

【0066】(11) 複数のメモリセルを含む、フラッシュ方式の、電氣的に消去可能で、プログラム可能な読み出し専用メモリであって：前記メモリセルへつながれた列デコーダー、前記メモリセルへつながれた複数のワードライン、前記行デコーダーと前記列デコーダーとへつながれた読み出し／書き込み／消去回路であって、前記行デコーダー、前記列デコーダー、および前記読み出し／書き込み／消去回路が前記メモリセルを読み出し、プログラムし、そして消去するように動作するようになった読み出し／書き込み／消去回路、および前記ワードラインを選択および非選択するように動作する行デコーダーであって：複数の駆動器回路であって、前記駆動器回路の各々がそれぞれ前記ワードラインの異なる 1 つへつながれて、前記駆動器回路が前記ワードラインを負でない電圧レベルへ駆動するように動作するようになった複数の駆動器回路、および複数の負チャージポンプであって、前記負チャージポンプの各々がそれぞれ前記ワードラインの異なる 1 つの群へつながれて、前記負チャージポンプがそれぞれの群の前記ワードラインの各々を他の群から独立して負電圧レベルへ駆動するように動作するようになった複数の負チャージポンプ、を含む行デコーダー、を含むメモリ。

【0067】(12) 第 1 項記載のメモリであって、更に、複数の多重化信号であって、前記多重化信号の各々がそれぞれ前記駆動器の異なる 1 個へつながれた複数の多重化信号を含み、そこにおいて：前記行デコーダーが更に、前置デコード信号を発生するように動作する前置デコーダーを含み、そして前記駆動器回路の各々が：第 1 のゲート、第 1 のソース、および第 1 のドレインを有する第 1 の P チャンネルトランジスタであって、前記第 1 のゲートと前記第 1 のソースとが前記多重化信号と前置デコード信号の前記選ばれた各 1 つへつながれており、前記第 1 のドレインが前記各ワードラインへつながれた第 1 の P チャンネルトランジスタ、および第 2 のゲート、第 2 のソース、および第 2 のドレインを有する第 2 の P チャンネルトランジスタであって、

17

前記第 2 のドレインが前記各ワードラインへつながれ、前記第 2 のゲートが電圧源へつながれた第 2 の P チャンネルトランジスタ、を含んでおり、それによって、前記ワードラインが前記前置デコードおよび多重化信号に応答して、前記負チャージポンプによって負へ、また前記駆動器回路によって非負へ駆動されるようになった、メモリ。

【0068】(13) 第 11 項記載のメモリであって、前記行デコーダーが更に、複数の分離装置であって、前記分離装置の各々がそれぞれ異なる駆動器回路と異なるワードラインとの間につながれ、前記分離装置の各々が各ワードラインをそれぞれ対応する駆動器回路から分離するように動作し、それによって各ワードラインが負電圧レベルへ駆動されるようになった複数の分離装置を含んでいるメモリ。

【0069】(14) 第 13 項記載のメモリであって、更に、複数の多重化信号であって、前記多重化信号の各々がそれぞれ前記駆動器の異なる 1 個へつながれた複数の多重化信号を含み、そこにおいて：前記行デコーダーが更に、前置デコード信号を生成するように動作する前置デコーダーを含んでおり、またそこにおいて、前記駆動器回路が前記前置デコードおよび多重化信号に応答して高レベルおよび低レベル出力を発生するように動作するようになっており、更に前記分離装置がそれぞれのワードラインを、各駆動器が低レベル出力を発生する時に前記各駆動器から分離するように動作するようになっており、メモリ。

【0070】(15) 第 14 項記載のメモリであって、前記分離装置の各々がゲートを有するトランジスタを含み、前記ゲートが制御電圧へつながれているメモリ。

【0071】(16) 第 11 項記載のメモリであって、更に、クロック信号を含み、そこにおいて前記負チャージポンプの各々が前記クロック信号へつながれた異なるコンデンサを含み、それによって前記コンデンサ間での電荷共有効果によって負電圧が生成されるようになっており、前記ワードラインの群の各々が各負チャージポンプの前記コンデンサによって他の群から分離されるようになった、メモリ。

【0072】(17) 第 16 項記載のメモリであって、前記負チャージポンプの各々が更に：複数の第 1 のトランジスタであって、各々が、前記各コンデンサとワードラインの各群のうちの前記ワードラインの異なるものとの間につながれている複数の第 1 のトランジスタ、および前記各コンデンサとアースとの間につながれた第 2 のトランジスタ、を含んでいる、メモリ。

【0073】(18) 第 16 項記載のメモリであって、前記負チャージポンプの各々が更に：複数の第 1 のトランジスタであって、各々が、前記各コンデンサとワードラインの各群のうちの前記ワードラインの異なるものとの間につながれている複数の第 1 のトランジ

18

スタ、クランプ電圧源、および前記各コンデンサと前記クランプ電圧源との間につながれた第 2 のトランジスタ、を含んでいる、メモリ。

【0074】(19) 第 18 項記載のメモリであって、前記負チャージポンプの各々が更に、前記各コンデンサと前記第 2 のトランジスタとの間につながれた第 3 のトランジスタであって、前記第 2 のトランジスタ両端間の電圧を低減するように動作する第 3 のトランジスタを含んでいる、メモリ。

10 【0075】(20) 第 16 項記載のメモリであって、前記負チャージポンプの各々が更に：複数の第 1 のトランジスタであって、各々が、前記各コンデンサとワードラインの各群のうちの前記ワードラインの異なるものとの間につながれている複数の第 1 のトランジスタ、および前記各コンデンサと前記駆動器回路の 1 個との間につながれた第 2 のトランジスタ、を含んでいる、メモリ。

20 【0076】(21) 複数のメモリセルを含む、フラッシュ方式の、電気的に消去可能で、プログラム可能な読み出し専用メモリ中のワードラインをデコードする方法であって、次の工程：各々が異なるワードラインへつながれた複数の負チャージポンプ中において負電圧を発生させること、前置デコーダー中において予めデコードされた前置デコード信号を発生させること、前記前置デコード信号に応答して、各々が異なるワードラインへつながれた複数の駆動器回路中において非負の電圧を発生させること、および各ワードラインを、前記前置デコード信号に応答して、そのワードラインに対応する負チャージポンプからの負電圧、あるいはそのワードラインに対応する駆動器回路からの非負の電圧のいずれかへつなぐこと、を含む方法。

30 【0077】(22) 複数のメモリセルを含む、フラッシュ方式の電気的に消去可能で、プログラム可能な読み出し専用メモリ中のワードラインをデコードする方法であって、次の工程：各々がワードラインの異なる群へつながれた複数の負チャージポンプ中において負電圧を発生させること、前置デコーダー中において予めデコードされた前置デコード信号を発生させること、前記前置デコード信号に応答して、各々が異なるワードラインへつながれた複数の駆動器回路中において非負の電圧を発生させること、前記前置デコード信号に応答して、ワードラインの各群をそれに対応する負チャージポンプからの負電圧へつなぐこと、および前記前置デコード信号に応答して、各ワードラインをそれに対応する駆動器回路からの非負の電圧へつなぐこと、を含む方法。

40 【0078】(23) フラッシュ EEPROM 10 において負電圧ワードラインデコードを行うための方法と装置が提供される。特に、前置デコーダー 26 が番地と反転入力とに基づいて前置デコード信号を生成する。前置デコード信号は正電圧および負電圧の両デコードモード

50

においてワードラインを選択するために使用される。各ワードラインは、それに付随して駆動器 28 を有する。駆動器 28 は前置デコード信号を受信し、適切な前置デコード信号にตอบสนองして関連のワードラインを高レベルへ駆動するように動作する。ワードラインには、またそれに付随して負チャージポンプ 32 が備えられている。各負チャージポンプ 32 は、駆動器 28 がその関連ワードラインを正へ駆動していない時にそのワードラインを負へ駆動するように動作する。

【図面の簡単な説明】

【図 1】EEPROM メモリセルのアレイの模式図。

【図 2】本発明の教えるところから従って構築された負電圧ワードラインデコーダーの特定実施例の模式回路図。

【図 3】本発明の教えるところから従って構築された負チャージポンプの特定実施例の模式回路図。

【図 4】本発明の教えるところから従って構築された負チャージポンプの特定実施例の模式回路図。

【図 5】本発明の教えるところから従って構築された負電圧ワードラインデコーダーの別の実施例の回路図。

【図 6】本発明の教えるところから従って構築された、独立したワードラインデコードを要求しない応用のための負電圧ワードラインデコーダーの特定実施例の回路図。

【図 7】本発明の教えるところから従って構築された、独立したワードラインデコードを要求しない応用のための負電圧ワードラインデコーダーの別の実施例の回路図。

【図 8】本発明の教えるところから従って構築された駆動器の特定実施例の回路図。

【図 9】本発明の教えるところから従って構築された駆動器の別の実施例の回路図。

【図 10】本発明の教えるところから従って構築された負電圧ワードラインデコーダーの別の実施例の回路図。

【図 11】本発明の教えるところから従って構築された駆動器の別の実施例の回路図。

【図 12】図 10 及び図 11 に示された回路用の V_N 電源の特定実施例。

【符号の説明】

10 フラッシュ EEPROM

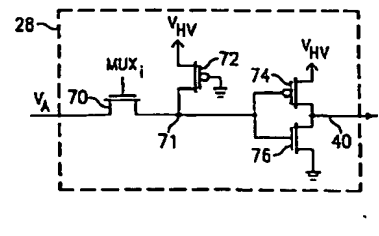
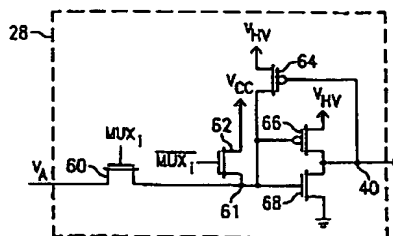
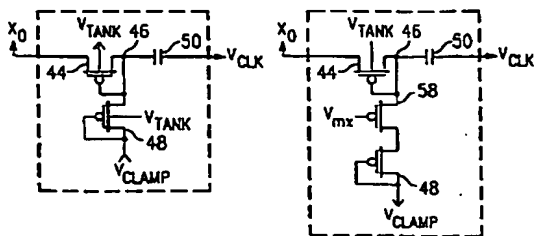
12 列デコーダー
14 ワードラインデコーダー (行デコーダー)
16 読み出し/書き込み/消去回路
18 メモリセルトランジスタ
20 メモリセル
22 センスアンプ
24 パスゲートトランジスタ
26 前置デコーダー
28 駆動器
30 分離装置
32 負チャージポンプ
34 Pチャンネルトランジスタ
36、38 Nチャンネルトランジスタ
40 ノード
42 トランジスタ
44 トランジスタ
46 ノード
48 トランジスタ
50 コンデンサ
52 駆動器
54 分離装置
56 負チャージポンプ
58 トランジスタ
60 トランジスタ
61 ノード
62 トランジスタ
64 トランジスタ
66、68 トランジスタ
70 トランジスタ
71 ノード
72 トランジスタ
74、76 トランジスタ
78、80 トランジスタ
81 ノード
82、84 Pチャンネルトランジスタ
86 負チャージポンプ
88、90 トランジスタ

【図 3】

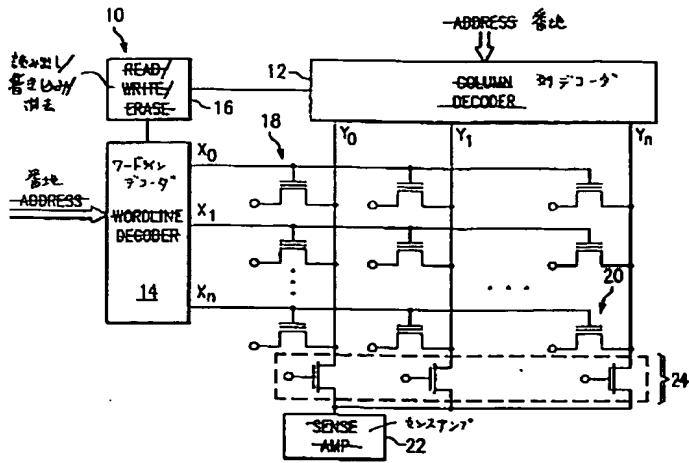
【図 4】

【図 8】

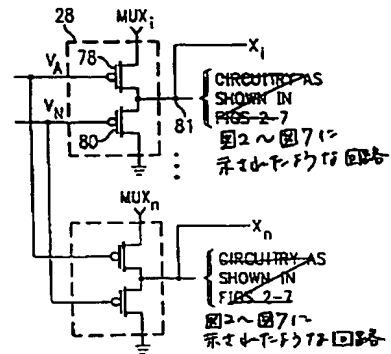
【図 9】



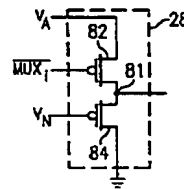
【図 1】



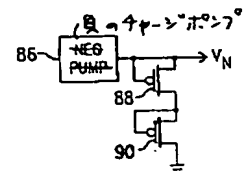
【図 10】



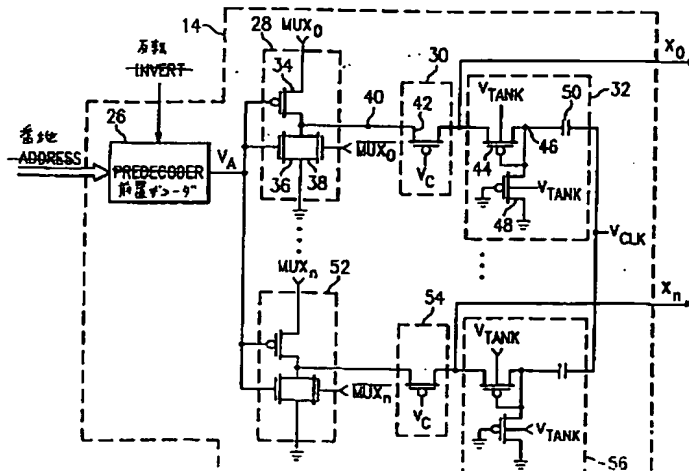
【図 11】



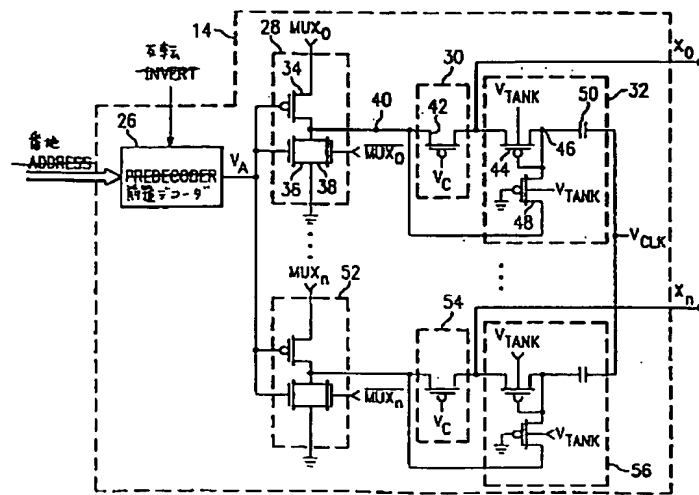
【図 12】



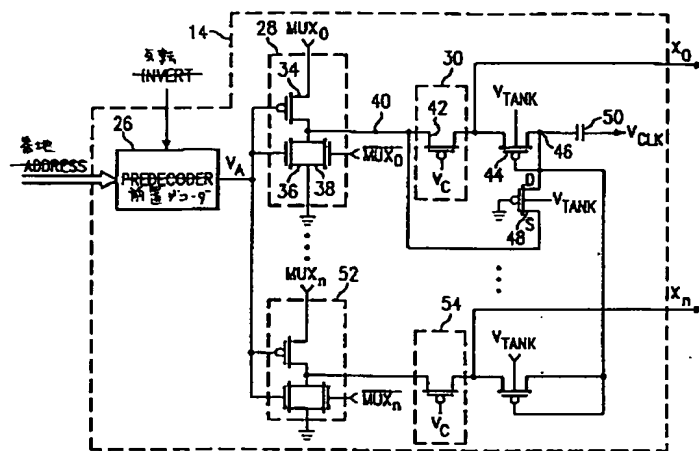
【図 2】



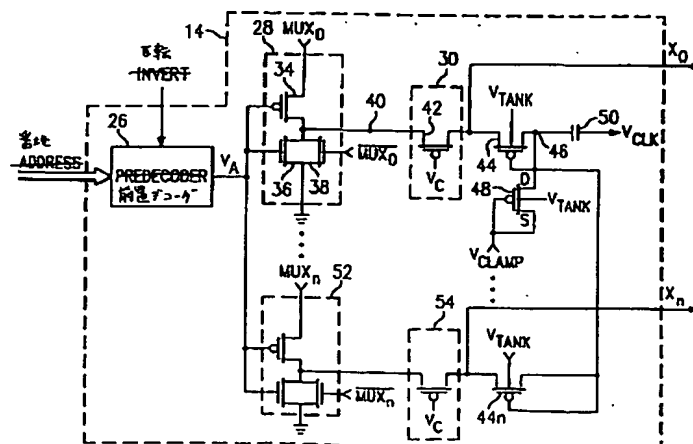
【図 5】



【図 6】



【図 7】



【手続補正書】

【提出日】平成 6 年 7 月 6 日

【手続補正 1】

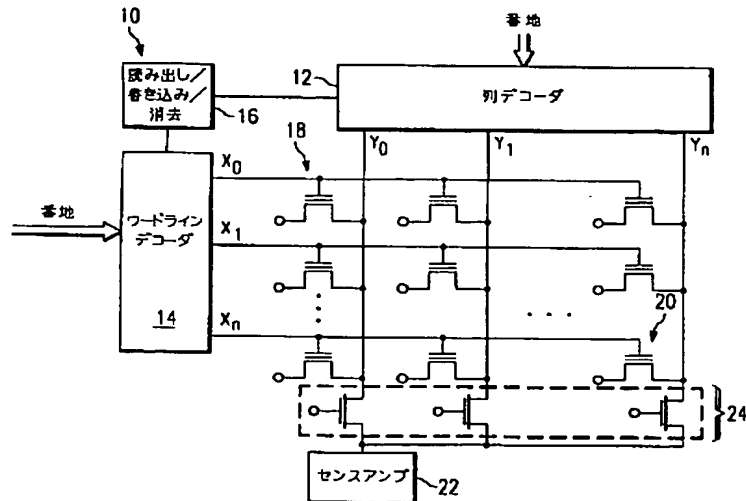
【補正対象書類名】図面

【補正対象項目名】図 1

【補正方法】変更

【補正内容】

【図 1】



【手続補正 2】

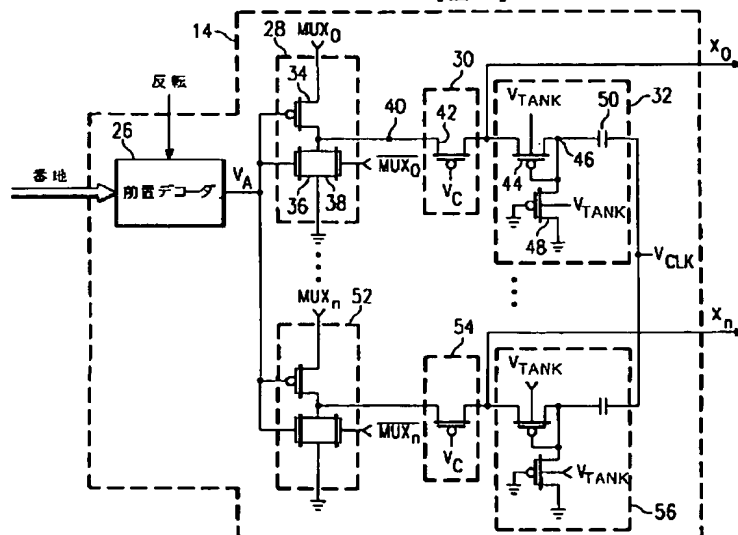
【補正対象書類名】図面

【補正対象項目名】図 2

【補正方法】変更

【補正内容】

【図 2】



【手続補正 3】

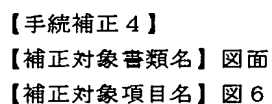
【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

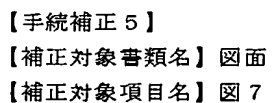
【補正内容】

【図 5】



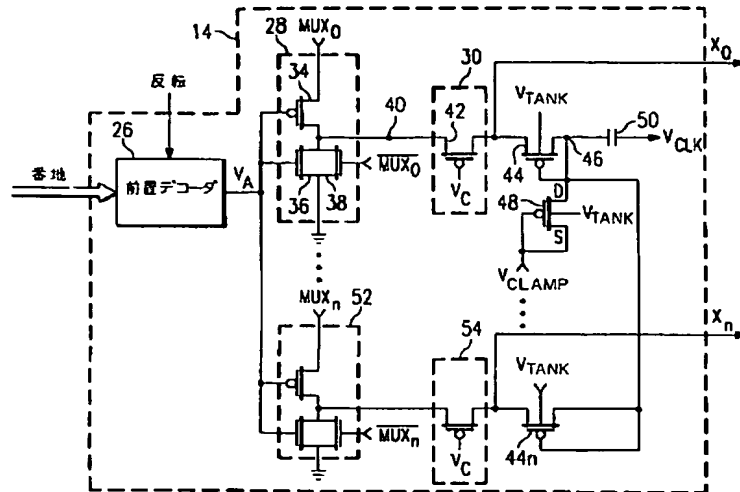
【補正内容】

【图6】



【補正内容】

【图 7】



【手続補正 6】

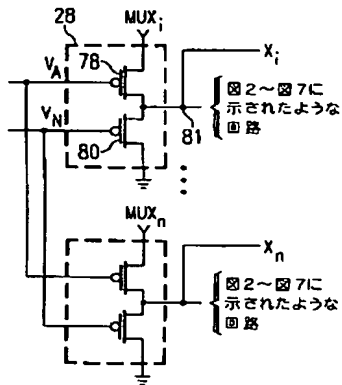
【補正対象書類名】図面

【補正対象項目名】図 1 0

【補正方法】変更

【補正内容】

【図 1 0】



【手続補正 7】

【補正対象書類名】図面

【補正対象項目名】図 1 2

【補正方法】変更

【補正内容】

【図 1 2】

